Libero SoC 導入編トレーニング演習資料

PolarFire SoC Discovery Kit 版



内容

| はじめに | <u> </u> | 3 |
|--------|---------------------------------|----|
| 環境 | | 3 |
| サンプパ | レデザイン | 3 |
| 演習の概 | 既要 | 3 |
| Help に | ついて | 4 |
| 演習1 | Libero SoC の起動 | 5 |
| 演習 2 | 新規プロジェクト作成 | 6 |
| 演習3 | デザイン入力 | 11 |
| 演習4 | ファンクション・シミュレーション(RTL シミュレーション) | 19 |
| 演習 5 | 論理合成 | 31 |
| 演習6 | 各種制約(ピンアサイン) | |
| 演習 7 | タイミング制約 | 43 |
| 演習 8 | 配置配線 | 50 |
| 演習9 | 解析(Verify Timing, Verify Power) | 52 |
| 演習 10 | 書き込み | 55 |



はじめに

この資料は Microchip 社の Libero SoC を実際に触ってみて一通りの操作フローを 理解することを目的とした演習資料です。

環境

使用する開発キット: PolarFire SoC Discovery Kit (MPFS-DISCO-KIT) ※ 本演習では SoC のうち FPGA Fabric の部分のみを使用します。 ツールバージョン: Libero SoC v2024.2 言語: Verilog もしくは VHDL

サンプルデザイン

・開発キット上の 50MHz クロックを用いカウントアップ

・1 秒周期で 0000→0001→0010・・・と LED を点灯

演習の概要

Liberoの起動、新規プロジェクトの作成、HDL デザインの作成、 テストベンチファイルの作成、RTL シミュレーションの方法、論理合成、 ピンアサイン、タイミングの制約方法、配置配線、デバイスへの書き込みなど Liberoの操作を確認します。

シミュレーション結果の確認やタイミングの解析、タイミングシミュレーション等は 割愛します。



Help について

Libero SoC 内には各所に Help ボタンがあり、不明点を確認可能です。

| 🕑 New project | | | | | | - | | \times |
|---|---|--|--|--|----------------------|----------------|------------|----------|
| Project details Specify project detai | ils | | | | | | | |
| Project Details | Project name: Project location: | C:¥lab | | | | | Browse | |
| Device Settings | Description: | | | | | | | _ |
| Design Template | Preferred HDL type | : Verilog 💌 | | | | | | |
| Add HDL Sources | Enable block cre Block flow enables It could include timi | vation you to publish a reusa ng constraints, physic | ble component tha al constraints, place | t can be instantia ement or routing | ated into another da | esign. A block | : componer | nt ma |
| | | | | | | | | |
| Help | | | | < Back | Next > | Finish | Cano | ;el |
| Libero SoC Online H M M M Project You can create a L You can use the p | Creation \ | Nizard – P ect using the N | roject De lew Project C | - D | × ard. | | | |
| Specify the | project name a | nd location | | | | | | |
| Select the description | evice family an | d parts | | | | | | |
| Set the I/O i Use System IGLOO2 only Import HDL project | Builder or MSS /) source files and | in your desigr d/or design cor | n project (Sm nstraint files | nartFusion2 into your | and | | | |
| New project Project details Specify project details | | | | | | | | |
| Project Details | Project name: Project location: | C:/temp | | | | | | |
| | | | | | > | | | |
| - | | | | | 2 | | | |



演習1 Libero SoC の起動

デスクトップ上のショートカット、もしくは Windows のアプリケーション一覧より Libero SoC を起動します。





2-1. 新規プロジェクト作成

スタート・ページ > "New"

🕑 Libero



もしくは Project > New Project

| O Libero | | |
|-----------------------|-------------------|---------|
| Project File Edit Vie | w Design Tools He | lp |
| 🗋 New Project | Ctrl+N | |
| 🚰 Open Project | Ctrl+O | |
| × Close | | |
| Save | Ctrl+Shift+S | bero So |
| E Savo Ac | Ctrl - Chift - A | |

2-2. Project name を設定します。

| Project name: | top | | | |
|--|---|--|--------------------------------|--------------|
| 🕑 New project | | | _ | |
| Project details Specify project det | ails | | | |
| Project Details | Project name: | top | | 1 |
| Device Selection | Project location: | C:¥lab | | Browse |
| Device Settings | Description: | | | |
| Design Template | Preferred HDL type | Verilog 💌 | | |
| Add HDL Sources | Enable block cre Block flow enables It could include timi | ation ou to publish a reusable component that can be instantiated g constraints, physical constraints, placement or routing. | d into another design. A block | component ma |
| Add Constraints | | | | |
| | | | | |
| Help | | < Back | Next > Finish | Cancel |

※ Libero SoC はプロジェクト作成時に最上位階層のデザイン名は指定しません。 プロジェクト作成後に最上位階層のデザインを指定します。



2-3. Project location を設定します。

お手元の PC のご都合の良いフォルダへ設定して下さい。

| Project location | on: C:¥lab | | | |
|---|--|---|-------------|-------|
| 🕑 New project | | - | | × |
| Project details Specify project deta | ils | | | |
| Project Details | Project name: | top | | |
| Device Selection | Project location: | C:/lab | Browse | |
| Device Settings | Description: | | | |
| Design Template | Preferred HDL type | : Verilog 💌 | | |
| Add HDL Sources | Enable block cra Block flow enables | , vation you to publish a reusable component that can be instantiated into another design. A bloc | :k componer | nt ma |
| Add Constraints | It could include tim | ing constraints, physical constraints, placement or routing. | | |
| | | | | |
| Help | | < Back Next > Finish | Cano | :el |

2-4. Preferred HDL type にて VHDL もしくは Verilog を選択し、Next > を押します。

| 🕑 New project | | | _ | | × |
|--|--|--|---------|---------|-------|
| Project details Specify project deta | ils | | | | |
| Project Details | Project name: Project location: | top C:/lab | | Browse. | |
| Device Settings | Description: | | | | _ |
| Add Constraints | Preferred HDL typ Enable block or Block flow enables It could include tim | e: Verilog I a VHDL yHDL you to publish a reusable component that can be instantiated into another design. A ning constraints, physical constraints, placement or routing. | block c | omponen | it ma |
| Liberoo System on Chip Help | | < Back Next > Finis | h | Canc | el |



2-5. Device Selection にてデバイスを選択します。

PolarFire SoC Discovery Kit (MPFS-DISCO-KIT)の場合

「MPFS095T-1FCSG325E」を選択し Next>を押します。

Part filter にて下記を設定することで一覧表示を絞り込みできます。

| Family | Die | Package | Speed | Range |
|--------------|----------|---------|-------|-------|
| PolarFireSoC | MPFS095T | FCSG325 | -1 | EXT |

| 📀 New project | | | | | | — C | × |
|--|-------------------------------------|----------|---------------|----------------|----------------|----------------|----------|
| Device selection Select a part for your proj | ject from the part number list | | | | ∋cted part | : MPFS095T- | 1 FCSG3: |
| Project Details | Part filter Family: PolarFireSoC | <u> </u> | Die: MPFS095T | _ Package | FCSG325 | <u> </u> | |
| Device Selection | Speed: -1 | • | | Range | Reset filt | ers | |
| Device Settings | Search part: | | | | | | |
| | Part Number | DFF | User I/Os | uSRAM | LSRAM | Math | |
| Add HDL Sources | MPFS095T-1FCSG325E | 93516 | 80 | 876 | 308 | 292 | |
| Add Constraints | | | | | | | |
| | • | | | J | | | Þ |
| Help | | | | < <u>B</u> ack | <u>N</u> ext > | <u>E</u> inish | Cancel |



2-6. Device settings ページにてデフォルトのまま Next>を押します。

| 📀 New project | | - | | × |
|---|---|-------|------|----|
| Device settings Choose device settings for your project | ected cart: | | | |
| Project Details Core Voltage : 1.0 I/O settings | - | | | |
| Device Selection | ey: [LVCMOS 1.8V] Please use the I/O Editor to change individual I/O attributes. probes | | | |
| Device Settings | r suspended mode When this option is enabled, please ensure that the Initialization Monitor IP Core and Tamper IP Core are configured to "Latch System Controller UP Core and Tamper IP Core are configured to "Latch System Controller CLK_FROM_RCOSC_160MHZ input port. | | | |
| Add HDL Sources Add Constraints Add Constraints | suspended mode is enabled the following operations will not be available: oller services that are requested after FPGA boot I device zeroization Tamper responses pplication Programming (IAP) tion, refer to the System Services section in the PolarFire FPGA Security User Guide (UG0758). | | | |
| Liberool System on Chip | | | | |
| Help | < <u>B</u> ack Next > | inish | Canc | el |

2-7. Add HDL source files ページにてデフォルトのまま Next>を押します。

| O New project | | | | | × |
|--|---------------------------|--------------|--------------------------------|----|--------|
| Add HDL source files Specify HDL files to imp | ort/link to your project. | | ected part: | | |
| Project Details | Import file Link file | | | De | ete |
| | File type | File name | File location | | |
| Device Selection | | | | | |
| Device Settings | | | | | |
| Add HDL Sources | | | | | |
| Add Constraints | | | | | |
| | | | | | |
| Help | | < <u>B</u> a | ck <u>N</u> ext≻ <u>F</u> inis | | >ancel |



2-8. Finish を押します。

| New project | | | - | | × |
|--|------------------------------------|--------------|------------------|--------|----|
| Add constraints Specify constraint files fo | or timing or physical constraints. | | ected part: | | |
| Project Details | Import file Link file | | | Delete | |
| | File type | File name | File location | | |
| Device Selection | | | | | |
| Device Settings | | | | | |
| Add HDL Sources | | | | | |
| Add Constraints | | | | | |
| | | | | | |
| Help | | < <u>B</u> a | ck Next > Einish | Canc | el |

2-9. 意図した設定で Libero SoC プロジェクトが作成されたことを確認します。

| Reports 🗗 × StartPage 🗗 > | ‹ | | | _ | | |
|--|---|-----------------------------|--|---|------------------|-------------|
| Project Summary | 🗐 All 🕺 0 Errors 🔥 0 Warnin | igs 🕕 O Info | | | | |
| - top.log | Project Name: top Location: C:\lab\top Description: Preferred HDL Type: Veril \$ | og | | | | |
| | Device | Details | | | | |
| | Part Number : MPFS095T Family : PolarFir Die : MPFS095T Package : FCS6325 Speed : -1 Core Voltage : 1.0 Range : EXT | -1FCSG325E eSoC | | | | |
| O Libero - C:¥lab¥top¥top.prjx | | | | | | |
| Project Eile Edit View Design Tools Help | 11 | | | | | |
| | | | | | | |
| Design Flow | 6 × | Reports 🗗 🗙 StartPage | - e × | | | |
| Tool Tool Create Design A Import MSS Create SmartDesign Create SmartDesign Testb Create HOL Testbench Verify Pre-Synthesized Dr Simulate Implement Design Implement Design | ench | Project Summary top.log | AII © 0 Project Na Location: Descriptio Freferred # Part Numbe Family Die Package Speed Core Volta Range 4 | Erors 0 Warnings 0 0 me: Lop C:\lab\top n: HDL Type: Verilog Device Details Device Details MPFS095T-1FC5G325 | Info | |
| Design Flow Design Hierarchy Stimulus H | ierarchy Catalog Components Files | 1 | <u></u> | | | |
| Message | Info | | | | | 8 |
| | | | | | | |
| Message Log | | | | | | |
| | | | | Fam: PolarFireSoC Part | MPFS095T-1FCSG82 | .5E Veriloe |



演習3 デザイン入力

FPGA で動作させたいデザインを用意します。 今回デザインは Verilog もしくは VHDL で作成します。

3-1. 新規 HDL ファイルを作成します。

```
File > New > HDL
```



もしくは

| Dusign flow / / / J O Charle fibe 2 / J / / U a y | Design | Flow | タブ内の | Create HI | DL をク | ッリ | ック | します |
|---|--------|------|------|-----------|-------|----|----|-----|
|---|--------|------|------|-----------|-------|----|----|-----|

🕑 Libero - C:¥lab¥top¥top.prjx Project File Edit View Design Tools Help □ 🚔 🖬 🖾 🗅 Ο 🖬 🗐 -Design Flow 8 × S' 0 🖸 🔘 🖬 🗐 Please select a root Tool ٠ ÷.... • Create Design A Import MSS SD Create SmartDesign Create HDL Create SmartDesign Testbench Create HDL Testbench Verify Pre-Synthesized Design Simulate Constraints • 👔 Manage Constraints -Design Flow Design Hierarchy Stimulus Hierarchy Catalog Components Files



3-2. 新規に作成する HDL ファイルについて設定します。

HDL Type: Verilog もしくは VHDL を選択

Name: top

Initialize file with standard template: チェックを外す 設定後 OK ボタンを押します。

| Create a new HDL file | ? | \times |
|--------------------------------------|---------|----------|
| HDL Type • Verilog C VHDI | _ | |
| Name: top | | |
| 🗌 Initialize file with standard temp | olate 🔶 | チェック |
| HelpOK | Car | ncel |

¥hdl フォルダ下に空の HDL ファイルが生成されます。





3-3. デザインを入力します。

```
Verilog の場合
// top.v
module top(
  input clk50MHz,
  input rst,
  output reg [3:0] LED
);
reg [25:0] cnt;
// 50 MHz = 20 ns
// 1Hz = 1,000,000,000ns
// 1,000,000,000ns / 20ns = 50,000,000
always @(posedge clk50MHz or negedge rst) begin
    if (rst == 0) begin
        cnt = 0;
        LED = 0;
        end
    else if (cnt == 26'd49999999) begin
        cnt = 0;
        LED = LED + 1;
        end
    else begin
        cnt = cnt + 1;
        LED = LED;
    end
end
endmodule
```



```
VHDL の場合
```

```
-- top.vhd
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;
entity top is
        clk50MHz : in std_logic;
port(
         rst : in std_logic;
         LED : out std_logic_vector(3 downto 0)
    );
end top;
architecture RTL of top is
    signal cnt : std_logic_vector(25 downto 0);
begin
    -50MHz = 20ns
    --1Hz = 1,000,000,000ns
    -- 1,000,000,000ns / 20ns = 50,000,000
    process(clk50MHz, rst)
    begin
         if rst = '0' then
             cnt \le (others => '0');
             LED \leq= (others => '0');
         elsif clk50MHz'event and clk50MHz = '1' then
             if cnt = "10111110101111000001111111" then
                  cnt \ll (others \implies '0');
                  LED \leq LED + 1;
             else
                  cnt \leq cnt + 1;
                  LED <= LED;
             end if:
         end if;
    end process;
end RTL;
```



3-4. 入力したデザインを Save します。

Ctrl + S

もしくは

top.v のタブ上で右クリックします。

| top.v* | a× | |
|--------|-----------------|--------|
| ے ا | × Close top.v | |
| ۳ 💻 | Close All But T | This |
| 13 / | 💾 Save top.v | Ctrl+S |
| 14 / | | |
| 15 - | 🖶 Print top.v | Ctrl+P |

3-5. Check HDL File にて入力したデザインをチェックします。

もしエラーが出る場合は訂正し、再確認します。

| to | p.v |
|----|-------------------------|
| ¢ | 들 🖻 At AT 📪 🖌 |
| 1 | // top.v Check HDL File |
| 2 | |
| 3 | Emodule top(|
| 4 | input clk50MHz, |
| 5 | input rst, |
| 6 | output reg [3:0] LED |
| 7 |); |
| 8 | - |
| Q | reg [25:0] ont: |

| Μ | lessage | | | | | |
|---|-------------|--------------|-------------------|------------|--------------------|--------------|
| | Messages | 8 Errors | 🔥 Warnings (| ∎Info 🗐 Ma | anage suppressed r | nessages |
| | Message | | | Message ID | Source Location | Log Location |
| | 🗄 Design Er | ntry | | | | |
| | ⊢ HDL (| Check | | | | |
| | Cl | necking HDL | syntax of 'top.v' | - | - | - |
| | Sy | ntax checkir | ng is successful | - | - | - |
| | | | | | | |
| | | | | | | |
| _ | Message l | og | | | | |



3-6. Design Hierarchy タブを開きます。

Build Hierarchy ボタンを押し Libero SoC プロジェクト内のデザインファイル階層を 更新します。

| 📀 Libero - C:¥lab¥top¥top.prjx | | | |
|---|-------|-----|---|
| Project File Edit View Design Tools Help | | | |
|] 🗋 🚰 🖬 🚾 🖸 🖬 🙆 🛛 🖬 | | | |
| Design Hierarchy | 6 | P > | × |
| Please select a root | | | |
| Build Hierarchy | ? | 8 | I |
| → ● work → User HDL Source Files → ■ hdl¥top.v [work] | | | |
| Design Flow Design Hierarchy Stimulus Hierarchy Catalog Components F | Files | J | _ |

3-7. work 下のファイル top(top.v) [work]を右クリックし

Set as Root をクリックします。

| Design Hierarchy | | 8 |
|------------------------------|-----------------------------------|----------------|
| 0 | Please select a root | |
| Build Hierarchy | 🔍 Show: Components | - + - ? |
| work | | |
| 🔲 🛗 (top (top.v) [work] | Set As Root | |
| 🛄 🗎 hdl¥top.v [work] | Open HDL File | |
| | Check HDL File | |
| | Create I/O Constraint from Module | |
| | 🗟 Create Core from HDL | |
| Design Flow Design Hierarchy | Create Testbench | mponents Files |
| Message | Delete | |

top.v が最上位階層のファイルとして設定され

| 黄色い Please select a root 表示が消えます。 | |
|---|-----|
| Design Hierarchy | 8 × |
| Top Module(root): top | |
| Build Hierarchy 🔍 Show: Components 💌 🖬 🖬 | ? 8 |
| e- ∰ work Lagrandow (top.v) [work] e- ⊇ User HDL Source Files Lagrandow (work) | |
| Design Flow Design Hierarchy Stimulus Hierarchy Catalog Components File | es |



注意:

Set as Root 設定は忘れないようご留意ください。

未設定状態の場合、ピンアサインやタイミング制約を行うための

Manage Constraints をダブルクリックしても画面が点滅するのみで何も開きません。

| Design Flow | | | | | | | | đΧ |
|-------------|---|---|---------|-------|---------|---|------|-----|
| 0 | Please s | elect a root | | Ð | 0 | 6 | ì | ø. |
| Tool | | | | | | | | - |
| | Create Design Import MSS Create SmartD Create HDL Create HDL Te Create HDL Te Simulate Constraints Manage Const | esign Design Testbench stbench nthesized Design traints | | | | | | |
| | Implement Design | liewer | | | | | | • |
| Design Flow | Design Hierarchy | Stimulus Hierarchy | Catalog | _ Con | ponents | F | iles | l i |

Set as Root 指定についてのご参考 最上位階層のデザインを指定(Set As Root)するには work下のデザインファイルを 指定する必要があります。User HDL Source Files 下のファイルを右クリックしても Set As Root は表示されません。 Design Hierarchy 0 Please select a r 🔥 Build Hierarchy 🔍 Shc 🗰 work 🖻 🛅 User HDL Source Files hdl¥top.v [work] **Open HDL File** Check HDL File Set Global Include Delete Design Flow Design Hierarchy Copy File Path Message Properties







演習4 ファンクション・シミュレーション(RTL シミュレーション)
 今回のデザインは目視できるよう 1Hz で LED をカウントアップしています。
 1Hz のシミュレーション確認は時間がかかるため、
 今回は簡易的に、テストベンチからの SYSCLK 入力に応じて
 内部信号でカウンターがカウントアップしていることを確認します。

4-1. テストベンチファイルを作成します。

Design Flow タブを開きます。

Create HDL Testbench をクリックします。

| Design Flow | | | | Ξ× |
|---|----|--------|------|-------|
| Top Module(root): top | - | 0 | vd 🖟 |) 🜮 |
| Active Synthesis Implementation: synthesis | | | | |
| Tool | | | | |
| Create Design | | | | |
| 🔤 Create SmartDesign | | | | |
| 🔄 📋 Create HDL | | | | |
| Create SmartDesign Testbench | | | | |
| 📲 🗒 Create HDL Testbench | | | | |
| Verify Pre-Synthesized Design | | | | |
| 🔛 📰 Simulate | | | | |
| Constraints | | | | • |
| Design Flow Design Hierarchy Stimulus Hierarchy Catalog | Co | ompone | nts | Files |

4-2. 作成する HDL について設定し、OK を押します。

HDL Type: Verilog もしくは VHDL を選択

Name: top_tb

Clock Period(ns): 20

| チェ | ックボッ | クスはチ | ェック | ′が入 | ったま | まの状態に | します。 |
|----|------|------|-----|-----|-----|-------|------|
|----|------|------|-----|-----|-----|-------|------|

| Create New HE |)L Testbench | ? | \times | | | | |
|--|--------------|-----|----------|--|--|--|--|
| HDL Type | | | | | | | |
| Verilog | O VHDL | | | | | | |
| Name: top_tb | | | | | | | |
| Clock Period (ns) : | 20 | | | | | | |
| ✓ Initialize file with standard template | | | | | | | |
| 🔽 Instantiate Roo | t Design | | | | | | |
| ✓ Set as Active Stimulus | | | | | | | |
| Help | ОК | Car | icel | | | | |



¥stimulus フォルダ下にテストベンチが生成されます。

Clock Period に応じたクロックや、最初のリセット入力等は予め記載されています。

Verilog の場合

| top.v & × top_tb.v & × |
|--|
| 🥐 🚍 🖹 🗛 🗛 🚍 🖌 |
| 27 L |
| 28 `timescale 1ns/100ps |
| 29 |
| 30 pmodule top_tb; |
| 31 |
| 32 parameter SYSCLK_PERIOD = 20;// 50MHZ |
| 33 |
| 34 reg SYSCLK; |
| 35 reg NSYSRESET; |
| 36 |
| 37 initial |
| 38 Ebegin |
| $39 \qquad SYSCLK = 1'b0;$ |
| 40 NSYSRESET = 1'b0; |
| 41 end |
| |
| |
| 44 // Reset Pulse |
| |
| 46 initial |
| 4/ Ebegin |
| 48 # (SYSCLK_PERIOD * 10) |
| $\frac{49}{NSISRESET} = 1.01;$ |
| su ena |
| 51 |
| |
| 54 // Clock Driver |
| 24 // CTOCK DITAGE |
| 56 Divous ((SASCIN) |
| 20 atways (CISCIN) |
| 58 #(SISCER_PERIOD / 2.0) SISCER <= (SISCER; |

VHDL の場合

top_tb.vhd & ×

🕐 📃 🕽 🗛 🗛 🇾 🗸 29 library ieee; 30 use ieee.std_logic_1164.all; 29 31 32 pentity top_tb is 33 end top_tb; 34 L
35 Farchitecture behavioral of top_tb is 37 constant SYSCLK_PERIOD : time := 20 ns; -- 50MHZ 38 signal SYSCLK : std_logic := '0'; signal NSYSRESET : std_logic := '0'; 39 40 41 42 E 43 component top 43 44 E 45 -- ports port(-- Inputs 46 clk50MHz : in std_logic; 47 48 rst : in std_logic; -- Outputs LED : out std_logic_vector(3 downto 0) 49 50 51 52 -- Inouts 53 54 55 56); end component; 57 begin



本来はデザインに対するテスト項目を検討し対応するテストベンチを作成します。 今回は開発フローの確認を目的としているので割愛し、本ファイルをそのまま 使用します。

4-3. Stimulus Hierarchy タブを開きます。

Build Hierarchy をクリックします。

| 🕑 Libero - C:¥lab¥top¥top.prjx* | | |
|---------------------------------|------------------------------|-----------------|
| Project File Edit View Design 1 | ools Help | |
| 🗋 🚰 🔛 🕰 🖸 🖌 | | |
| Stimulus Hierarchy | | ₽ × |
| 🗌 Show Root Testbenches | | |
| ABuild Hierarchy | 🔍 Show: Components | 💌 🕂 🖻 🕴 🏀 |
| | rk] | |
| Design Flow Design Hierarchy | Stimulus Hierarchy Catalog C | omponents Files |

階層情報が更新されます。(以下は Verilog の場合のスクリーンショット)

| Stimulus Hierarchy | 8× |
|---|-------|
| Show Root Testbenches | |
| Build Hierarchy Show: Components 💌 🖬 🖬 | ? 8 |
| Image: work Image: box (top_tb.v) [work] Image: Image: Image: Box (top.v) [work] Image: Image: Image: Box (top_tb, v) [work] Image: Image: Image: Image: Image: Box (top_tb, v) [work] Image: Image: Ima | |
| Design Flow Design Hierarchy Stimulus Hierarchy Catalog Components | Files |



4-4. work 下のテストベンチ、

top_tb を右クリックし Set as archive stimulus を選択、

テストベンチとして設定します。

🕑 Libero - C:¥lab¥top¥top.prjx*

| Project File Edit View Design Tools | Help | |
|-------------------------------------|-----------------------------|----------------|
| 🗋 🚔 🔛 🗠 🖌 🙆 | | |
| Stimulus Hierarchy | | ₽ × |
| Show Root Testbenches | | |
| Build Hierarchy | 🔍 Show: Components | 🗾 🗉 🗆 ; 🔀 |
| work | | |
| a top (top_v) [work] | Open HDL File | |
| 🗈 💼 User HDL Stimulus Files | Check HDL File | |
| 2 | Set as active stimulus | |
| | Simulate Pre-Synth Design 🕨 | |
| | Delete | |
| Design Flow Design Hierarchy S | Copy File Path | mponents Files |
| Message | Show Module Parameters | |

テストベンチファイルの左側に波形のマークがつきます。

| Stimulus Hierarchy | Β× |
|--|-------|
| Show Root Testbenches | |
| Build Hierarchy Show: Components 💌 🖬 | ? 🚷 |
| work Itop_tb (top_tb.v) [work] □ top (top.v) [work] □ User HDL Stimulus Files | |
| Design Flow Design Hierarchy Stimulus Hierarchy Catalog Components | Files |



4-5. Design Flow タブを開きます。

Verify **Pre-**Synthesized Design 下の Simulate を右クリックし

Open Interactively をクリックします。

| Design Flow | | | ć | 9) | × |
|--|------------------------|-----|---|------|---|
| Top Module(root): top | □ ○ | 6 | 1 | Ş | , |
| Active Synthesis Implementation: synthesis | | | | | |
| ТооІ | | | | | |
| Create Design Create SmartDesign Create HDL Create SmartDesign Testbench Create HDL Testbench Verify Pre-Synthesized Design | | | | | |
| Simulate | Run | | | | |
| Manage Constraints | Clean and Run All | | | | |
| 🗊 🕨 Implement Design | Open Interactively | | | | |
| Gen Netlist Viewer | Clean | | | | |
| Verify Post-Synthesized Design | Organize Input Files 🕨 | | | | |
| • Generate Simulation File | Import Files | | | | |
| └─ III Simulate → C Configure Register Lock Bits | Edit Profile | | | • | |
| Design Flow Design Hierarchy Stimulus Hierarc_ | Help | nts | F | iles | J |

ModelSim が起動し、シミュレーションが始まります。

テストベンチのクロック入力やリセット入力を確認可能です。





- 4-6. 下位(テストベンチ下のデザイン)信号の追加
 - (1) 視認性のため仕切り線を追加します。

Wave ウィンドウ左側、何もない部分を右クリック、Add > New Divider を クリックします。

| wave | - Default | | | | |
|----------|-------------------------------------|--------|----------------|---------|--|
| <u></u> | | Г | Msgs | | |
| * | /top_tb/SYSCLK /top_tb/NSYSRESET | 0 1 | | | |
| | Object Declaratio | n | | | |
| | Add | Þ | To Dataflow | + | |
| | Edit | ► | To List | | |
| | View | ≁ | To Watch | | |
| | UPF | • | Contributing S | Signals | |
| | Radix | | New Window | Pane | |
| | Format | - 1 | New Divider | | |
| | Cast to | • | New Breakpoi | int | |
| | | | | | |

(2) Wave Divider Properties ウィンドウにて OK を押します。

| ₩ Wave Divider Prope × |
|------------------------|
| Divider Name |
| New Divider |
| Divider Height |
| 17 |
| OK Cancel |

New Divider が挿入されます。

| Wave - Default | | |
|--|--------|--|
| 💫 🗸 | Msgs | |
| /top_tb/SYSCLK /top_tb/NSYSRESET New Divider | 0 1 | |



(3) 左側の sim ウィンドウにて top_0 を選択します。

Objects ウィンドウにて top.v もしくは top.vhd の信号が表示されます。

| 🏭 sim - Default 🕬 🛨 🖻 🗙 | 💫 Objects : 🛲 🛨 🖻 🗙 | Wave - Default | | | |
|-------------------------|---------------------------|-----------------|------|---------|---------|
| ▼ Instance | ▼Name 1 ■ Now シト | \$1 + | | Msgs | |
| top_tb | dk50MHz | /top_tb/SYSCLK | | 0 | |
| + top_0 | 🖉 rst | /top_tb/NSYSRES | ΈT | 1 | |
| + std | + - 2 ont | New Divider | | | |
| 🛛 🔀 #vsim_capacity# | | | | | |
| | | | | | |
| | 🜼 s (Active) :::::: 🕂 🗗 🗙 | | | | |
| | ▼ Name | | | | |
| | | 5 5 6 | Now | 1000 pc | 1.1.1.1 |
| | | | NOW | 1000 HS | |
| • • | | 🔒 🌽 🥯 Curs | or 1 | 0.00 ns | |
| 🖺 Project 🗙 🛺 sim 🗙 🚺 | • • | < | Þ | ∢ → | |

Objects 内の信号を全選択します。

| 🕼 sim - Default 🛲 🛨 🖻 🗙 | 💫 Objects : 🛲 🕇 🛃 🗙 | Wave - Default | | = |
|-------------------------|-------------------------|------------------------------|---------|---|
| ▼ Instance | 🖲 Name [🔁 Now 🗲 🕨 | 💫 🗸 | Msgs | |
| _– _ top_tb | Ik50MHz | /top_tb/SYSCLK | 0 | |
| +- 1 top_0 | 🔷 rst | <pre>/top_tb/NSYSRESET</pre> | 1 | |
| Halways#56 | | New Divider | | |
| #vsim capacity# | - Oit | | | |
| | • | | | |
| | s (Active) :::::: + a × | | | |
| | | A R ON | 1000 ns | |
| • | | 🔓 🌽 🤤 Cursor 1 | 0.00 ns | |
| 🔠 Project 🗙 🛺 sim 🗙 🚺 | • • | A D | < ▶ ◀ | |



信号を選択している状態で右クリック、Add Wave をクリックします。

| 🔊 sim - Default 🛲 🛨 🗗 🗙 | 💫 Objects : 🕬 🕂 | 🛃 🗙 💼 Wave - Defau | ult | |
|-------------------------|--------------------|---------------------|--------|---------|
| ▼ Instance | 🔻 Name [🖆 Now | N € 1 | | Msgs |
| top_tb | Ik50MHz 🧼 | A 10 11 | | 0 |
| | i 🔿 rst | View Declaration | | 1 |
| ALWAYS#56 | 🖅 | View Memory Content | s | * |
| + std | 🖅 🔶 cnt | | | |
| 😤 #vsim_capacity# | | Add Wave | Ctrl+W | |
| | • | Add Wave New | | |
| | alla et u Suur III | Add Wave To | | |
| | 👷 s (Active) 🔅 🛨 | Add Dataflow | Ctrl+D | |
| | ▼ Name | Add to | • | |
| | | UPF | + | 1000 ns |
| ▲ | | Conv | Ctrlac | 0.00 ns |
| 🎦 Project 🗙 🖉 sim 🗙 📢 | | Copy | Curre | |
| | | Find | Ctrl+F | |

Wave – Default ウィンドウに top.v もしくは top.vhd の信号が表示されます。

| 🕼 sim - Default :::::: 🛨 🖻 🗙 | 💊 Objects : :::::: 🕂 🗗 🗙 | 📕 Wave - Default 🚃 | | |
|------------------------------|---------------------------|-----------------------|---------|---|
| ▼ Instance | ▼Name 🕑 🗖 Now 主 🕨 | 💫 🗸 | Msgs | |
| □ top_tb | Ik50MHz | /top_tb/SYSCLK | 0 | |
| +- top_0 | rst | /top_tb/NSYSRESET | 1 | |
| #ALWATS#50 | | New Divider | | |
| #vsim_capacity# | - un | /top_tb/top_0/ck50MHz | 0 | |
| <u> </u> | • | /top_tb/top_0/rst | 1 | |
| | 💏 s (Active) :::::: + 🛃 🗙 | top_tb/top_0/LED | 0 | |
| | Name | | 0000028 | |
| | * Nome | | | |
| | | A R O Now | 1000 ns | |
| • | | 🔓 🎜 😑 Cursor 1 | 0.00 ns | |
| 🟥 Project 🛛 🛺 sim 🛛 🕩 | • | < | • • • | • |



(4) シミュレーションが既に始まっているので一度リセットします。Transcript にて restart と入力



もしくは Simulate > Restart... をクリックします。

ModelSim Microsemi Pro 2023.4

| File | Edit | View | Compile | Simulate | Add | Struct |
|--------------|------------|---------|-------------|-------------------|------------------------|---------|
| - 🖾 | · 📂 | 8% | <u>لة</u> إ | Start : Runtir | Simulatio ne Optior | n ns |
| Layo | ut Si | imulat | e | Run | | • |
| | 0 | wa G | 1 411 🚀 | Step | | • |
| | <u>~</u> | 8 Y 1.3 | | Resta | rt | |
| <u>}</u> * - | - . | | Search: | Break | | |
| 🔊 sim | - Defa | ult 🚃 | | End Si | mulation | |

Restart ウィンドウが表示されるのでそのまま OK を押します。

Х

M Restart

| Keep: | |
|-------|---------------------|
| F | List Format |
| F | Wave Format |
| F | Breakpoints |
| F | Logged Signals |
| F | Virtual Definitions |
| F | Assertions |
| F | Cover Directives |
| F | ATV Format |
| | |
| | OK Cance |



(5) Transcript にて run -all と入れ、シミュレーションを再スタートします。

```
Sim:/top_tb/top_0/clk50MHz \
sim:/top_tb/top_0/rst \
sim:/top_tb/top_0/LED \
sim:/top_tb/top_0/clk1Hz
VSIM 3> restart -f
# ** Note: (vsim-12125) Error and warning message counts have been reset to '0' because of 'restart'.
# Loading C:/Microchip/Libero_SoC_v2024.1/Designer/lib/modelsimpro/pli/pf_crypto_win_me_pli.dll
# ** Warning: (vsim-3040) Command line generic/parameter "SIM_PA5M300T" not found in design.
VSIM 4> run -all
```

(6) 波形の拡大縮小、全体表示は虫眼鏡マークから可能です。

ModelSim Microsemi Pro 2023.4

| File Edit View Compile | Simulate Add Wave | e Tools Layout | Bookmarks | Window He | lp |
|-------------------------------------|-------------------|----------------|------------|---------------------|----|
|] 🖹 • 🚔 🖬 🛸 🎒 🐰 | ĥ ≋ ⊇⊇∣⊘∙ | M 🗄 🖬 📗 | 원 🛊 🖛 🖬 | ▶]† 100 | ps |
| Layout Simulate | ColumnLayout | t AllColumns | | | 🧠 |
| | N 🖪 🗇 💷 | TE 🗗 🗍 💾 | ┟┶→ | | |
|] 3•• • → 은 • 🐞• Search: [| |) ~ "S | Ð, Q, Q, L | 178 🖉 🗌 | |

数字を見にくい場合は信号名を右クリックし Radix より任意の数値表現へ 変更可能です。





(7) cnt 信号が 0000001→0000002→0000003・・・とカウントアップしている

ことを確認します。





今回は割愛しましたが、しばらく待つと LED が1秒周期でカウントアップしていくことを 確認できます。

| Wave - Default | Msgs | | | | | | | | |
|---------------------------------------|----------------|------|---------|--------|---------|--------|--------|---------|--|
| /top_tb/SYSCLK | 1 | | | | | | | | |
| New Divider | 1 | | | | | | | | |
| /top_tb/top_0/dk50MHz | 1 | | | | | | | | |
| /top_tb/top_0/rst | 1 0010 | 0000 | | 0001 | | | | 0010 | |
| $\pm -$ /top_tb/top_0/cnt | 0000000 | | | 0001 | | | | 0010 | |
| · · · · · · · · · · · · · · · · · · · | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| 🕮 🗊 🕤 🛛 Now | 70717061960 ns | | 100000 | 000 ns | | | 200000 | 0000 ns | |
| Galden Cursor 1 | 1000000190 ns | | 1000000 | 190 ns | 1000000 | 000 ns | | | |
| Cursor 2 | 2000000190 ns | | | | | | 200000 | 0190 ns | |
| | ₹ → | | | | | | | | |
| 111 まぶカウントナス | : いたけ 0000 | いたわ | t - + | | | | | | |
| エエ よ ビルワマト りる |) こへは 0000 | になり | エッ。 | | | | | | |





(8) STOP を押しシミュレーションを止めます。

| MМ | odelSi | m Micro | isemi Pro | | | | | | | | | | | | |
|------|--------|---------|-----------|----------|-----|------------|-------|--------|-----------|--------|------|---------------|----|-----|---|
| File | Edit | View | Compile | Simulate | Add | Transcript | Tools | Layout | Bookmarks | Window | Help | | | | ٦ |
| ×. | - 🚔 | 9% | 🖨 🐰 | în 🔒 🖞 | 22 | O • M | M | | 🖹 🖛 🕪 | 100 | ps 🛓 | <u>0</u> . 0. | 1. | 🕺 🚥 | |
| | A 1 | • • • | | 2 | | | | | | | | | | | |

(9) Simulation > End Simulation をクリックしシミュレーションを終了します。



(10) ModelSim を閉じます。

| ModelSim Microsemi Pro | _ | | × |
|--|-----------|-----|---|
| File Edit View Compile Simulate Add Library Tools Layout Bookmarks Window Help | | | |
| ■- 2 | 🛛 🕸 🖄 🕍 🛔 | 2 🕺 | |
| | | | |



演習5 論理合成

Design Flow タブ内の Synthesize をダブルクリックし、論理合成します。

🕑 Libero - C:¥lab¥top_VHDL¥top.prjx



論理合成が完了すると、左側に緑のチェックマークが表示されます。





論理合成したデザインがどのくらい FPGA リソースを使用しているかは

Reports ウィンドウの Synthesize 内、top_compile_netlist_resource.xml を選択し Compile Report を見ると確認可能です。

| | Reports 🗗 🗙 | top.v 🗗 🗙 | top_tb.v | ₽× | | | | | | | |
|---|----------------|-------------------|---------------|---|------------------------|------|-------|--------------|--|--|--|
| [| Project Sum | imary | | Limit the number of high fanout nets to display to 10 | | | | | | | |
| | top.log | 2 | | | | | | | | | |
| | in top reports | | | | | | | | | | |
| | Compor | hents | | | Resource Usa | ge | | | | | |
| | Pre-Synt | thesis Simulate | | | | | | | | | |
| | top_ | tb_presynth_sim | ulation.log | | Туре | Used | Total | Percentage | | | |
| | Synthesi | ze | | | 4LUT | 52 | 93516 | 0.06 | | | |
| | _ Synd | synplify.log | | | DFF | 30 | 93516 | 0.03 0.00 | | | |
| | | top.srr | | | I/O Register | 0 | 240 | | | | |
| | | run_options.txt | | | User I/O | 6 | 80 | 7.50 | | | |
| | | top_dsp_rpt.txt | | | Single-ended I/O | 6 | 80 | 7.50 | | | |
| | | top_ram_rpt.txt | | | Differential I/O Pairs | 0 | 40 | 0.00 | | | |
| | top_ | _compile_netlist_ | resources.xm | d. | uSRAM | 0 | 876 | 0.00 | | | |
| | top_ | compile_netlist_ | hier_resource | es.csv | LSRAM | 0 | 308 | 0.00 | | | |
| | top_ | compile_ioff.xml | listlag | | Math | 0 | 292 | 0.00 | | | |
| | | top_complie_net | list.log | | H-Chip Global | 1 | 48 | 2.08 | | | |
| | | | | | | ٥ | Q | 0.00 | | | |



ご参考

論理合成後に polarfire_syn_comps.v に対して表示されている User defined pragma syn_black_box detected ワーニングについて

→ 本ワーニングは安全に無視できるものになります。

| essage ■Messages ⊗Errors ▲Warnings ①Info ■Manage suppressed messages | | |
|---|----------------------------------|-------------------|
| Message | Message ID Source Location | .og Locatio |
| 😑 🔥 User defined pragma syn_black_box detected | CG100 polarfire syn comps.v(2'to | op.srr(48) |
| User defined pragma syn_black_box detected | CG100 polarfire syn comps.v(6'to | op.srr(50) |
| User defined pragma syn_black_box detected | CG100 polarfire syn comps.v(88to | <u>op.srr(52)</u> |
| User defined pragma syn_black_box detected | CG100 polarfire syn comps.v(1"to | op.srr(54) |
| User defined pragma syn_black_box detected | CG100 polarfire syn comps.v(1tto | op.srr(56) |
| User defined pragma syn_black_box detected | CG100 polarfire syn comps.v(2'to | op.srr(58) |
| User defined pragma syn_black_box detected | CG100 polarfire syn comps.v(2:to | <u>op.srr(60)</u> |
| User defined pragma syn_black_box detected | CG100 polarfire syn comps.v(28to | op.srr(62) |
| User defined pragma syn_black_box detected | CG100 polarfire syn comps.v(33to | <u>op.srr(64)</u> |
| User defined pragma syn_black_box detected | CG100 polarfire syn comps.v(6tto | op.srr(66) |
| ogMessage | | |

polarfire_syn_comps.v ファイルには Synopsys の認識していない、 PolarFire プリミティブ用のタイミング情報を持ったモジュール宣言が含まれています。 なお、本ファイルは全 PolarFire デザインに対し作成されます。

polarfire_syn_comps.v はすべてのモジュールに対して'syn_block_box' attribute を使用して いるので syn_black_box が検出された旨の CG100 : User defined pragma syn_black_box detected ワーニングが表示されます。



演習6 各種制約(ピンアサイン)

クロック入力、リセット入力、LED をピンアサインします。

6-1. Libero にて左側の Design Flow タブを開き、Manage Constraints を

ダブルクリックします。 🕑 Libero - C:¥ _ \times Project File Edit View Design Tools Help □ 🚰 🖬 🗠 🗅 🛛 🖬 🛃 Design Flow ð × top.vhd & × StartPage & × Ŧ 🖸 🖸 🖬 🎽 🜮 Top Module(root): top Links Active Synthesis Implementation: synthesis Libero SoC elcome to Libero SoC Tool -Libero SoC Quickstart Quickstart 🖻 🕨 Create Design Libero SoC Interface Description The Libero® system-- 🔤 Create SmartDesign Libero SoC Release Notes on the Create HDL on-chip (SoC) Design Suite is a flagship FPGA software for 😪 Create SmartDesign Testbench Libero Tutorials Create HDL Testbench Product Tutorials Verify Pre-Synthesized Design designing with Training Webcasts Microchip's PolarFire® SoC, 🗮 Simulate straints Microchip SoC Website PolarFire, RT 🔒 Manage Constraints PolarFire, IGLOO® 2, Implement Des SmartFusion® 2 and 🚱 Open Netlist Viewer • -Design Flow Design Hierarchy Stimulus Hierarchy Catalog Components Files ð × Message ■Messages SErrors AWarnings OInfo ■Manage suppressed messages Message ID Source Location Log Location Message Design Entry
 HDL Check Checking HDL syntax of 'top.vhd' Syntax checking is successful Message Log 🗙 🗧 Find: Previous | Find All Search in: Match case 🗌 Match whole word Next Fam: PolarFire Part: MPF300TS_ES-1 FCG1152E VHDL



6-2. I/O Attributes タブを開き、Edit 右側の▼をクリックし、

Edit with I/O Editor c p y p b z b z

| top.vhd & × Constraint Manager & × StartPage & × |
|--|
| I/O Attributes Timing Floor Planner Netlist Attributes |
| New 🔽 Import Link Edit 🔽 View Check Help |
| Edit with I/O Editor |
| Place and Route |
| |
| |
| |
| |
| |
| |
| |
| I/O Settings |
| |
| V Reserve Fins for Device Migration |
| Select the devices you are targetting for migration. Pins not bonded on these devices will be reserved in the device |

| I/O Editor を開く場合、事前に論理合成(Synthesize)が必要です。 | |
|---|------|
| | |
| 未実施の場合 Edit with I/O Editor をクリックすると下記ウィンドウが出 | るので、 |
| 論理合成(Synthesize)を実施します。 | |
| | |
| Information X | |
| Please run 'Synthesize' before opening the 'I/O Editor' for creating/editing I/O constraints. | |
| ОК | |
| | |
| | |



- 6-3. バンク電圧の設定方法を確認します。今回はバンク0を1.8Vに固定します。
 - (1) I/O Bank Settings を開きます。

| I/O Editor - C:/lab/top (top)* | | | | | | | | | | | |
|--------------------------------|--------------|-----|--------|---------|---------|----------|------|----------|--------|------|-----------|
| File Edit View Logic Tools | Help | | | | | | | | | | |
| | 000 | | * | 2 71 | đ | B | ં ા | Ø | | | |
| Main Object Browser | ъ× | Pin | View 🗗 | I/O Ban | k Setti | ngs] 🗗 | XCVR | View 🗗 🗎 | Memory | View | B DD |
| | Q - , | | Por | t Name | | Directio | n 🔽 | I/O Star | ndard | • | Pin Numbe |
| Ports | a 🕼 🖌 🕇 | 1 | cl | k50MHz | | INPU | т | LVCN | 1OS18 | | |
| 🗄 🗠 📫 I/O Ports | | 2 | 🔻 LE | Ð | | | | | | | |
| | | 3 | | LED[0] | | OUTP | UT | LVCM | 1OS18 | | |

(2) Choose Bank にて Bank 0-HSIO を選択、

VDDI にて 1.8V を選択します。

右上の Locked ヘチェックを入れます。

| I/O Bank Settings | | | | ? | \times |
|--|--------------|--------------|---------|-----|----------|
| Bank Choose Bank: Bank0 - HSIC |) | 👱 🔽 Loc | ked | | |
| Attributes Auto Calibration Auto Calibration Ramp Time | (ms) 50 | | | | • |
| VDDE 1.8 VREF: Unassigned V | Range EXT | Min 1.710 | Typical | Ma× |) |

(3) OK を押し I/O Bank Settings ウィンドウを閉じます。



6-4. I/O Editor にて下記表の通りピンアサインを行います。

| 開発キット上の | 信号名 | ピン番号 | バンク |
|------------------|----------|------|-------|
| ペリフェラル | | | |
| 50MHz Oscillator | clk50MHz | R18 | Bank0 |
| LED1 | LED[0] | T18 | Bank0 |
| LED2 | LED[1] | V17 | Bank0 |
| LED3 | LED[2] | U20 | Bank0 |
| LED4 | LED[3] | U21 | Bank0 |
| SW1 | rst | T19 | Bank0 |

[方法 1 Pin View にて Ports を Pin ヘドラッグ&ドロップ] Pin View タブを開きます。

左側 Main Object Browser にて Port タブを開きます。

Port を選択し、右側の Pin View ヘドラッグ&ドロップします。

| Main Object Browser | 8 × | Pin | View [active] 🗗 | Por | tView ह⊓ | XCV | R۱) | View 🗗 丨 Mermo | yView ₽ | | View | 8 - |
|---|----------|-----|-----------------|-----|----------|-----|-----|-------------------------|-----------------|------|------|-----------|
| | <u> </u> | | Pin Number | t | Port Nan | ne | • | Direction | Macro | Cell | - | Bank Name |
| Ports | 7 6 1 1 | 251 | T2 | | Unassig | ned | | | | | | Bank6 |
| E I/O Ports | | 252 | Тз | | Unassig | ned | | | | | | Bank6 |
| = | | 253 | T4 | | Unassig | ned | | | | | | Bank6 |
| | | 254 | T5 | | Unassig | ned | | | | | | Bank6 |
| EED[2] O LED[3] | | 255 | T17 | | Unassig | ned | | | | | | Bank0 |
| D- clk50MHz | | 256 | T18 | ~ | Unassig | ned | | LED[0] | | | | ank0 |
| -0 154 | | 257 | T19 | | Unassig | ned | | Port can be placed on p | ackage pin 'T18 | r | | _ank0 |
| | | 258 | T20 | | Unassig | ned | | | | | | Bank0 |
| | | 259 | T21 | | Unassig | ned | | | | | | Bank0 |
| | | 260 | U1 | | Unassig | ned | | | | | | Bank6 |
| | | 261 | U2 | | Unassig | ned | | | | | | Bank6 |
| | | 262 | U4 | | Unassig | ned | | | | | | Bank6 |
| | | 263 | U5 | | Unassig | ned | | | | | | Bank6 |
| | | 264 | U6 | | Unassig | ned | | | | | | Bank6 |
| | | 265 | U7 | | Unassig | ned | | | | | | Bank6 |
| | | 266 | U8 | | Unassig | ned | | | | | | Bank6 |
| Port / Logical / Net / Reg | ion / | 1 | | | | | | | | | | • • • • |



アサイン後

| Main Object Browser | ē × | Pin | View [active] 🗗 | Port View 🗗 | XCVR View 🗗 | Memory View d | DD View 🗗 | - |
|----------------------|---------|-----|-----------------|-------------|-------------|---------------|-------------|----------|
| | Q | | Pin Number 🚺 | Port Name 💌 | Direction 💌 | Macro Cell 💌 | Bank Name 💌 | <u> </u> |
| Ports | a 🕼 🖌 🕇 | 251 | T2 | Unassigned | | | Bank6 | |
| E I/O Ports | | 252 | Tз | Unassigned | | | Bank6 | |
| | | 253 | T4 | Unassigned | | | Bank6 | |
| | | 254 | T5 | Unassigned | | | Bank6 | |
| @ LED[3] | | 255 | T17 | Unassigned | | | | |
| D- clk50MHz | | 256 | T18 | LED[0] | | | | |
| 0.14 | | 257 | T19 | Unassigned | | | | |
| | | 258 | T20 | Unassigned | | | | |
| | | 259 | T21 | Unassigned | | | | HSIO |
| | | 260 | U1 | Unassigned | | | Bank6 | |
| | | 261 | U2 | Unassigned | | | Bank6 | |
| | | 262 | U4 | Unassigned | | | Bank6 | |
| | | 263 | U5 | Unassigned | | | Bank6 | |
| | | 264 | U6 | Unassigned | | | Bank6 | |
| | | 265 | U7 | Unassigned | | | Bank6 | |
| | | 266 | U8 | Unassigned | | | Bank6 | |
| Port Logical Net Reg | ion_/ | 1 | | | | | D Lo | • • |

プルダウンでの選択も可能です。

| Main Object Browser | ₽× | Pin | View [active] 🗗 | Port View 🗗 | XCVR View 🗗 📗 | |
|---------------------|---------|-----|-----------------|--------------------|---------------|--|
| | <u></u> | | Pin Number 🕇 | Port Name 💌 | Direction 🔽 | |
| Ports | a 🛯 🖌 🕇 | 251 | T2 | Unassigned | | |
| E I/O Ports | | 252 | Tз | Unassigned | | |
| D- LED[0] | | 253 | T4 | Unassigned | | |
| =D- LED[1] | | 254 | T5 | Unassigned | | |
| @ LED[3] | | 255 | T17 | Unassigned | | |
| D-clk50MHz | | 256 | T18 | _ | | |
| 0.04 | | 257 | T19 | LED[0] | | |
| | | 258 | T20 | LED[2] | | |
| | | 259 | T21 | LED[3] clk50MHz | | |
| | | 260 | U1 | rst | | |
| | | 201 | 115 | Unantinged | | |



[方法 2 Port View にて Pin をプルダウンや手打ち]

Port View タブを開きます。

Pin Number にてプルダウンでピン番号を選択、もしくは手打ちでピン番号を入力します。

| Main Object Browser | 8 × | Pin | View 🗗 | Port View | [active] | 8 | XCVR | View 🗗 | Memor | y Vie | ew 🗗 | IOD Vie | w 8 | - |
|----------------------|---------|-----|--------|-----------|----------|----------|------|---------|--------|-------|-------------------|---------|-----|--------|
| | <u></u> | | Port | Name | D (1 | irection | ד ד | I/O Sta | andard | - | Pin | Number | - | Locked |
| Ports | 0 0 1 | 1 | clk | 50MHz | | INPU | г | LVC | MOS18 | | | | | |
| E I/O Ports | | 2 | 🔻 LEI | D | | | | | | | | | | |
| D LED[0] | | 3 | | LED[0] | | OUTPU | л | LVC | MOS18 | | A10 | | - | |
| D- LED[1] | | 4 | | LED[1] | | OUTPL | л | LVC | MOS18 | | G18 | | 1 | |
| 0 LED[3] | | 5 | | LED[2] | _ | OUTPU | л | LVC | MOS18 | | R18 | | | |
| -D- clk50MHz | | 6 | | LED[3] | | OUTPL | л | LVC | MOS18 | | T17 T18 | | | |
| -0- ISt | | 7 | rst | | - | INPU | т | LVC | MOS18 | | T19 | | - j | |
| | | | | | | | | | | | T21 U15 U17 | | • | |
| Port Logical Net Reg | ion_/ | - | | | | | | | | | | | | • |

[ピンアサインを外したい場合]

誤ってピンアサインしたい場合やピンアサインを変更したい場合は 左側の Port 内にて Port を選択、右クリックし Unplace From location を

クリックするとピンアサインを解除できます。

| Main Object Browser | ₽× | Pin | View [active] 🗗 📗 | Port View 🗗 📗 | XCVR View 8 | Memory View | 🗗 🕴 IOD View 🗗 | |
|------------------------------------|-------------------|---------|-------------------|---------------|-------------|--------------|----------------|----------|
| | Q . | | Pin Number 1 | Port Name 💌 | Direction 💌 | Macro Cell 💌 | Bank Name 💌 | <u>م</u> |
| Ports | 🗗 🕼 🤞 🕇 | 251 | T2 | Unassigned | | | Bank6 | |
| E I/O Ports | | 252 | T3 | Unassigned | | | Bank6 | |
| | | | T4 | Unassigned | | | Bank6 | |
| :D- LED[1] | Place LED[0] to L | ocatior | T5 | Unassigned | | | Bank6 | |
| -D- LED[2] | Unplace From loc | tion | T17 | Unassigned | | | Bank0 | |
| D- clk50MHz | Lock Placement | | T18 | LED[0] | OUTPUT | OUTBUF | Bank0 | |
| | Unlock Placemer | nt | T19 | Unassigned | | | Bank0 | |
| | Region Assign | | T20 | Unassigned | | | | |
| | | 259 | T21 | Unassigned | | | | HSIO |
| | | 260 | U1 | Unassigned | | | Bank6 | |
| | | 261 | U2 | Unassigned | | | Bank6 | |
| | | 262 | U4 | Unassigned | | | Bank6 | |
| | | 263 | U5 | Unassigned | | | Bank6 | |
| | | 264 | U6 | Unassigned | | | Bank6 | |
| | | 265 | U7 | Unassigned | | | Bank6 | |
| | | 266 | U8 | Unassigned | | | Bank6 | |
| \ Port /\ Logical /\ Net /\ Re | gion / | Ĩ | | | | | D LC | • |



Logic > Unplace All で一括解除もできます。

| | I/O Ed | itor - C | :/ | | | |
|------|--------|----------|-------|----------|--------------|----|
| File | Edit | View | Logic | Tools | Help | |
| | | 5 | Unp | lace All | | ð |
| шш | | _ | Loc | k All | Ctrl+H | |
| Main | Objec | t Brows | Unle | ock All | Ctrl+Shift+H | ×. |
| | | | | | 0 | ┳Ţ |

6-5. Save します。

| I/O Edit | or - C:/ | | | | | | | | | |
|-------------|-----------|-----------|------|-----|---|--------|------|--------|----------|-------|
| File Edit | View Logi | : Tools H | Help | | | | | | | |
| | | | Ì | ø | ð | ▲ | ÷ 🧔 | | đ | ſ |
| Main Object | Browser | | | ß | × | Pin Vi | ew 🗗 | Port V | /iew [ac | tive] |
| | | | | Q - | ┓ | _ | Port | Name | t | Di |

6-6. I/O Editor を閉じます。

| I/O Editor - C:/lab/top (top) | | | | | | | - 0 | х |
|---|-----|-----------------------|-----------------|---------------------|------------------|----------|--|--------------|
| <u>File Edit View Logic Tools H</u> elp | | | | | | | L | |
| | | * 🖉 | |) 🔍 🗗 | | | | |
| Main Object Browser 🗗 🛪 | Pin | View 🗗 🛛 Port View [a | ctive] 🗗 🛛 XOVR | View 🗗 Memory Vie | w 🗗 🛛 IOD View 🗗 | - | Properties | σ× |
| | | Port Name 1 | Direction 💌 | I/O Standard 💌 | Pin Number 💌 | Locked | - | |
| Ports 🖉 🕼 🧃 1 | 1 | clk50MHz | | LVCMOS18 | R18 | ~ | | |
| i≘ @ === I/O Ports | 2 | ▼ LED | | | | | Display Options | σ× |
| □···· | 3 | LED[0] | | LVCMOS18 | T18 | ~ | Locked Module | • |
| | 4 | LED[1] | | LVCMOS18 | V17 | ~ | ✓ Moveable and Placed Macro | - |
| ☐ ☐ ↓ EED[2] | 5 | LED[2] | | LVCMOS18 | U20 | ~ | Default Macro Color | |
| Clk50MHz | 6 | LED[3] | | LVCMOS18 | U21 | ~ | Consolidate Globals | |
| 1 1 1 1 1 | 7 | rst | | LVCMOS18 | T19 | ~ | Show Nets for Selected Macros | 20 |
| | | | | | | | Show Nets for Highlighted Macros Show Detailed Routing for Selected | <u>d N </u> |

I/O Editor にて設定した内容で pdc ファイルが生成されます。

| Reports | ₽× | top.v | ₽× | top_tb.v | ₽× | Constr | aint Manager | Β× | : |
|------------|----------|-----------|------------|----------|-------------|-------------|--------------|----|----|
| I/O Attrib | outes | Timing | Floor Plan | ner Ne | tlist Attri | butes | | | |
| New | • | Import | | Link | Edi | it 🔽 | View | | Ch |
| | | | | | | | | | |
| | | | | | P | lace and Ro | oute | | |
| constra | aint¥io | ¥user.pdo | : | | | | | | |



6-7. Place and Route 欄にチェックが入っていない場合はチェックを入れます。



Save します。

| eports & kop.v & x | top_tb.v 🗗 🗙 Constraint Manager | * @× | |
|-------------------------------|---------------------------------|------------|--------------|
| OAttributes* Timing Floor Pla | nner Netlist Attributes | | |
| New Timport | Link Edit View | Check Help | Save Discard |
| | Place and Route | | |
| constraint¥io¥user.pdc | | | |

Save 後、下記 Warning が表示された場合は OK を押します。

| 🔳 Warr | ning × |
|--------|---|
| | Saving the changes in the Constraint Manager tool may invalidate your design flow. You may have to rerun your design flow. Do you want to save the changes? Don't show again. |
| | OK Cancel |

Save していない場合、Timing 等他の操作をする際に下記エラーが出ます。

| Error | × |
|--------------|---|
| \bigotimes | Unsaved changes are present in the Constraints Manager tool. Flease save or discard them before proceeding with current operation. |
| | ок |



Discovery Kit のピンアサインについて 開発キットのどのペリフェラルがどのピンかは、 PolarFire SoC FPGA Discovery Kit User Guide に記載されています。 https://ww1.microchip.com/downloads/aemDocuments/documents/FPGA/ProductDocu ments/UserGuides/PolarFire_SoC_FPGA_Discovery_Kit_User_Guide.pdf

| 補足 |
|--|
| clk50MHz, rst, LED(今回の演習)は Bank 0 を 1.8V で使用しています。 |
| |
| 実際に開発される際は、プロジェクト作成時に Default I/O technology にて |
| 使用される予定の最大電圧を選択して下さい。 |
| O New project − □ × |
| Device settings Choose device settings for your project Selected part: MPF300TS_ES-1 FCG1152E |
| Project Details Core Voltage : 10 - |
| Device Selection Default I/O technology. LVCMOS 18V T Please use the I/O Editor to change individual I/O attributes. |
| Device Settings LVCMOS 12V LVCMOS 15V LVCMOS 15V LVCMOS 12V https://comparison.org/lines.com/lines/lin |
| Add HDL Sources Add HDL Sources System controller suspended mode CLKFROM,ROGS (100MFZ Input priv. CLKFROM,ROGS (100MFZ Input priv. |
| If System controller suspended mode is enabled, the following operations will not be available: - All System controller services that are requested after FPGA boot Tamper flags |
| LeVuo reset and devide zahoization i rainger responses SPI-Mater Im-Apalication Programming (IAP) For further information, refer to the System Services section in the PolarFire FPGA Security User Guide (UG0753). |
| |
| Help Cancel |
| |
| 参考 FAO: |
| I/O Editor のピン配置に関して。I/O Editor で"DDRIO"に割り当てられている端子に |
| アサインできません。 実際け通堂の I VCMOS2 5V で使用したいのですが $[I VCMOS18]$ |
| |
| https://www.magnica.com/husinges/appringer/huston/www.st/free/wieneshi/12/010/ |
| nttps://www.macnica.co.jp/business/semiconductor/support/faqs/microchip/136818/ |



演習7 タイミング制約

タイミングの制約方法を確認します。

7-1. (もし閉じている場合)ピンアサインで使用した Constraints Manager を開きます。

| Design Flow | | | ē × | | | | |
|------------------------------|------------------------|---------|---------|------------|--|--|--|
| Top Module(root): top | op Module(root): top | | | | | | |
| Active Synthesis Implementat | | | | | | | |
| Tool | | ▲ | | | | | |
| 🕀 🕨 Create Design | | | | | | | |
| - Seate Sm | | | | | | | |
| 🗄 Create HD | Create HDL | | | | | | |
| | artDesign Testbench | | | | | | |
| 🗌 🗐 Create HD | Testbench | | | | | | |
| 🖻 🕨 🕨 Verify Pre | Synthesized Design | | | | | | |
| 🔤 Simula | e | | | | | | |
| Constraints | | | | | | | |
| 🚽 🛅 Manage C | nstraints | | | | | | |
| D Implement D | sign | | | | | | |
| - 🖓 Open Netlist Viewer | | | | | | | |
| V Synthesize | | | | -1 | | | |
| 🗖 🕨 Verify Po | -Synthesized Design | | | • • | | | |
| Design Flow Design Hiera | chy Stimulus Hierarchy | Catalog | Compone | ents Files | | | |

7-2. Timing タブを開きます。

| | onstraint Manager ♂× StartPage ♂× 🗧 🤿 |
|----|---|
| I/ | Attributes Timing Floor Planner Netlist Attributes |
| | New Import Link Edit 🕶 Check 🛡 Derive Constraints Constraint Coverage |
| Ī | Synthesis Place and Route Timing Verification |
| ľ | · · · · |
| | |
| | |
| | |



7-3. Edit 右側の▼から Edit Synthesis Constrains を選択します。

| Constraint Manager 🛛 🖉 🗙 📗 | | Ŧ |
|--|---|------|
| I/O Attributes Timing Floor Planner Ne | tlist Attributes | |
| New Import Link | Edit Check Derive Constraints Constraint Coverage Help Edit Synthesis Constraints iming Verification Edit Timing Verification Constraints Mining Verification Constraints Mining Verification | |

7-4. ConstraintsEditor ウィンドウの Constraints から Clock...を選択します。

| 🕒 Cor | nstraintsEditor - [Edit Synthesis Co | onstra | aints | 3] | | | | | | | | | _ | | < |
|----------|--|--------|-------|---|------------|--------------|----------------|--------------------|------------------|---------------|----------------|-----------|-----|----------|---|
| 🕒 File | Constraints Edit Help | | | | | | | | | | | | | | X |
| | Clock | • M | 10 | · 🕼 📴 🖤 | | | | | | | | | | | |
| Edit Syn | Generated Clock | | | | | | | | | | | | | | |
| | Input Delay | | _ | | | | | | | | | | | | _ |
| ÷- | Output Delay External Check | | | Syntax | Clock Name | Clock Source | Period (ns) | Frequency (MHz) | Dutycycle (%) | First Edge | Offset (ns) | Waveform | Add | File | |
| | Clock To Out | | 1 | Click within this row to add a constraint | | | 0.000 | | 50.0 | rising | 0.000 | 0.00 0.00 | | GUI | |
| | Max Delay Min Delay Multicycle False Path | | | | | | | | | | | | | | |
| | Disable Timing Clock Source Latency Clock-to-clock Uncertainty | | | | | | | | | | | | | | |
| • | Clock Groups | [] | • | | | | | | | | | | | <u> </u> | 1 |

7-5. Create Clock Constraint ウィンドウで下記のように設定します。

Clock Name: clk50MHz

Period : 20

| Create Clock Constraint | ? | × |
|--|---------------------|-----|
| Clock Name : clk50MHz Clock Source | : | |
| Period 20 ns | +br Frequency: 50 N | 1hz |
| | | |
| Compare and the second s | | |
| Add this clock to existing one with same source | | |
| Comment : | | |
| Help | OK Cancel | |



7-6. Clock Source の…ボタンをクリックします。

| Create Clock Constraint | | | ? | \times |
|--|----------------|----|------|----------|
| Clock Name : clk50MHz | Clock Source : | | | |
| Period 20 | ns — | | 50 | Mhz |
| Offset :Duty cycle 0.000 ns 50.0000 % | | | | |
| Comment : | | | | |
| Help | | ок | Cano | cel |

7-7. Select Source Pins for Clock Constraint ウィンドウにて

| Search ボタンをクリ III Select Source Pins for | ックします。 Clock Constraint | | ? × |
|---|---|--------|------------|
| Select a Type and Pattern Filter available pins : Type : Input Ports | n to start selection Pattern : * | | Search |
| Available Pins: | | | |
| Add Assigned Pins: | Add All | Remove | Remove All |
| | | | |
| Help | | | OK Cancel |



7-8. clk50MHz を選択し Add をクリックします。

| Select Source Pins for Clock Constraint | | | | | | | | | × |
|---|---|-----------|--|--------|--|----|-------|-------|----|
| Select a Type and Pattern to start selection Filter available pins : | | | | | | | | | |
| Type : | | Pattern : | | | | | | | |
| Input Ports | - | * | | | | | Se | earch | |
| Available Pins: | | | | | | | | | |
| clk50MHz | | | | | | | | | |
| rst | | | | | | | | | |
| Add | | Add All | | Remove | | R | emove | All | |
| Assigned Pins: | 1 | | | | | | | | |
| | | | | | | | | | |
| Help | | | | | | ЭК | | Cance | 91 |

7-9. Assigned Pins に clk50MHz が表示されていることを確認し

OK をクリックします。

| Select Source Pins for Clock Constraint ? | | | | | | | | | | |
|--|-----------|--|--------|----|-------|--------|-----|--|--|--|
| Select a Type and Pattern to start selection | | | | | | | | | | |
| Type : | Pattern : | | | | | | | | | |
| Input Ports 💽 | * | | | | s | Search | | | | |
| Available Pins: | | | | | | | | | | |
| rst | | | | | | | | | | |
| | | | | | | | | | | |
| | | | | | | | | | | |
| Add | Add All | | Remove | 1 | Remov | e All | | | | |
| Assigned Pins: | | | | | | | | | | |
| clk50MHz | | | | | | | | | | |
| | | | | | | | | | | |
| | | | | | | | | | | |
| Halp | | | | OK | 1 | Canad | . I | | | |
| | | | | UK | | Cance | | | | |



7-10. Create Clock Constraint ウィンドウにて OK ボタンをクリックします。

| Create Clock Constraint | | ? × |
|---|----------------------------------|--------|
| Clock Name : clk50MHz | Clock Source : ts { clk50MHz }] | |
| Period 20 | ns —— Nor Frequency: 50 | Mhz |
| Offset :Duty cycle 0.000 ns 50.0000 % Add this clock to existing one with same source | | |
| Comment : | | |
| Help | OK | Cancel |

7-11. ConstraintsEditor ウィンドウにて Save ボタンを押します。

| | | | | _ | | | | |
|--|--------------------------|-----------|------------|---|--|--|--|--|
| ConstraintsEditor - [Edit Synthesis Constraints] | | | | | | | | |
| File Constraints Edit Help | | | | | | | | |
| 🐸 🛃 🗅 🐜 🐝 🐝 🍫 🎠 🌭 況 🔌 🖾 🕼 🖤 | | | | | | | | |
| Edit S <mark>Save</mark> sis Constraints | dit Save sis Constraints | | | | | | | |
| | | | | | | | | |
| 🗄 Constraints | • | | | Т | | | | |
| - Requirements | | Syntax | Clock Name | ľ | | | | |
| Clock | | Oliokwi | | ŀ | | | | |
| Generated Clock | | 1 0110K W | | | | | | |
| Innut Dalau | | | | | | | | |

7-12. ConstraintsEditor ウィンドウを閉じます。

| e Constraints Edit Help | | | | | | | | | | | | | |
|--|------|-------|-----------------|--------------|----------------|--------------------|------------------|---------------|----------------|-----------|-----|------|----------|
| | 1.16 | 100 | -Ωn %⊓ | | | | | | | | | | |
| Synthesis Constraints | | | lai -a - | | | | | | | | | | |
| Constraints | | Synta | x Clock Name | Clock Source | Period (ns) | Frequency (MHz) | Dutycycle (%) | First Edge | Offset (ns) | Waveform | Add | File | Comments |
| Generated Clock | 1 | Click | vi | | 0.000 | | 50.0 | rising | 0.000 | 0.00 0.00 | | GUI | |
| - Input Delay - Output Delay - External Check - Clock To Out Exceptions - Max Delay - Multicycle - False Path Advanced | 2 | * | clk50MHz | [get_ports { | 20.000 | 50.000 | 50.0000 | rising | 0.000 | 0.00 | | C: | |



設定した内容に応じた sdc ファイルが生成されます。

| | Reports & top.v & top_tb | v a× Con | straint Manager 🛛 🗗 | × StartPage & × | Ŧ |
|---|---|--------------|---------------------|------------------------------|------|
| L | /OAttributes Timing Floor Planner Netlist A | ttributes | | | |
| | New Import Link | Edit 🔽 Check | < 🔻 Derive Constr | raints Constraint Coverage 🔻 | Help |
| | | Synthesis | Place and Route | Timing Verification | |
| | constraint¥user.sdc [Target] | ✓ | | | |
| | | | | | |

7-13. sdc ファイルをダブルクリックして開きます。

| Reports & top.v & X | top_tb.v 🗗 🗙 | Constraint Manager 🕴 | × StartPage & × |
|-----------------------------------|-----------------------|----------------------|------------------------------|
| I/O Attributes Timing Floor Plann | er Netlist Attributes | | |
| | 1 1 | | |
| New Import | Link Edit 🔻 Ci | heck 🔻 Derive Const | raints Constraint Coverage 🔻 |
| | | | |
| | Synthesis | Place and Route | Timing Verification |
| constraint¥user.sdc [Target] | | | |
| | | | |
| | | | |
| | | | |
| | | | |

7-14. 今回開発キット上の配線遅延が分からないので、set_input_delay や
 set_output_delay のタイミング制約は割愛します。

代わりに create_clock のタイミング制約の下に set_false_path を追記します。

| create_clock の下へ追記 | |
|--|--|
| <pre>set_false_path -from [get_ports { rst }] -to [get_clocks { clk50MHz }]</pre> | |
| <pre>set_false_path -from [get_clocks { clk50MHz }] -to [get_ports { LED[*] }]</pre> | |

sdc ファイルを Save します。





7-15. Constraint Manager の Timing タブを開き、

もしチェックが入っていない場合は Synthesis、Place and Route、

Timing Verification にチェックを入れます。



Save を押します。

| Reports # × top.v # × top_tb. | v 🗗 🗙 Constraint Manage | r* & StartPage & × | ÷ |
|-------------------------------------|-------------------------|---------------------------------------|--------------|
| Timing Timing* Timing Floor Planner | | | |
| New Import Link | Edit 🔽 Check 🕶 Derive C | onstraints Constraint Coverage 🔽 Help | Save Discard |
| | Synthesis Place and Ro | ute Timing Verification | |
| constraint¥user.sdc [Target] | v v | | |
| | | | |
| Warning が表示されたt | 場合け OK を押 | します。 | |

Warning が表示された場合は UK を押します。

| Warning |
|---|
| Saving the changes in the Constraint Manager tool may invalidate your design flow. You may have to rerun your design flow Do you want to save the changes? Don't show again. OK Cancel |

7-16. 論理合成(Synthesize)を行います。





演習8 配置配線

Place and Route をダブルクリックします。

| Design Flow | | | | | | | ₽× |
|----------------|--|---|-----|---|------|-----|-----|
| Top Module(ro | ot): top | | I | - | 0 | м | 🗿 🜮 |
| Active Synthes | sis Implementation: sy | nthesis | | | | | |
| Tool | | | | | | | |
| | Create Design Create SmartDesign Create SmartDesign Create HDL Create HDL Testil Create HDL Testil Constraints Con | sign sign Testbench bench hesized Design ints wer thesized Design mulation File ter Lock Bits Design | | | | | |
| Design F… | Design Hierar… | Stimulus Hierar… | Cat | | ompo | ne… | F |

配置配線が完了すると、Place and Route 左側に緑のチェックマークがつきます。





補足 本日のトレーニングでは割愛していますが Verify Post Layout Implementation 内の Simulate を右クリック、 Open Interactively をクリックするとタイミングシミュレーションを実施できます。 Design Flow ₽ × 🖸 🜔 🖌 📄 🏈 Top Module(root): top Active Synthesis Implementation: synthesis -Tool Simulate ⊨ ► Constraints Manage Constraints Implement Design ÷ ν 😫 Open Netlist Viewer 🗢 🗢 Synthesize v Verify Post-Synthesized Design • Generate Simulation File Simulate • Configure Register Lock Bits B Place and Route V 🗉 🗒 Edit Post Layout Design Verify Post Layout Implementation • Generate Back Annotated Files 📲 Simulate 🕰 Verify Timing 💩 Open SmartTime A Verify Power • 🕬 Onen SSNI Analuzer Design Hierar··· Stimulus Hierar··· Design F… Cat... Compone… F···



演習 9 解析(Verify Timing, Verify Power)

9-1. Verify Timing

タイミング解析の操作を確認します。

Design Flow 内で Verify Timing をダブルクリックします。



完了すると Verify Timing の左に緑のチェックマークが表示されます。





タイミング解析のレポートが表示されます。

| Timing Report Explorer | ۰đ× | Repor | ts e × | top.v & × | top_tb.v | æ×│ Co | nstraint Manager | - #× ; |
|---|--------|--------------|---------------------------|--------------------|-------------|-----------|------------------|---------------|
| Voltage: 0.97 - 1.03 V | À Ma: | < Analysis | 🖌 Min A | Analysis | | | | |
| Speed: -1 Op_range: 0 - 100 C Data State: Production Op cond: slow lv lt | All Pa | aths | | Save Sav | /e As Insig | hts 🔻 🔤 | lelp | |
| fast_hv_lt slow_lv_ht | Sourc | e Clock: All | ▼ Dest | ination Clock: All | ▼ Source T | ype:All ▼ | Destination Typ | e: All 🔻 Chi |
| Filters All Paths | | Slack (ns) | | From/ | То | Edges | Arrival (ns) | Required (ns) |
| Input to Register Register to Register Register to Output | 1 | 17.954 | From: cnt[1 To : cnt[2 | 3]:CLK 25]:D | | RR | 10.975 | 28.92 |
| Input to Output | 2 | 17.974 | From: cnt[1 To : cnt[2 |]:CLK 25]:D | | RR | 10.955 | 28.92 |
| | 3 | 17.994 | From: cnt[7 To : cnt[2 |]:CLK 25]:D | | RR | 10.979 | 28.97 |
| | 4 | 18.005 | From: cnt[1 To : cnt[2 | 5]:CLK 25]:D | | RF | 10.924 | 28.92 |
| | 5 | 18.022 | From: cnt[0 To : cnt[2 |]:CLK 25]:D | | RF | 10.907 | 28.92 |
| | 6 | 18.043 | From: cnt[1 To : cnt[2 | 3]:CLK 22]:D | | RR | 10.886 | 28.92 |
| | 7 | 18.065 | From: cnt[1 To : cnt[2 |]:CLK 22]:D | | R R | 10.864 | 28.92 |
| | 4 | | | | | | | ► |

未制約(タイミング制約不足)があるかどうかは

Reports の top_timing_constraints_coverage.xml にて確認できます。

| Timing Report Explorer 🛛 🖉 🗙 | Reports & × | top.v 🗗 🗙 | top_tb.v | ₽× Co | instraint Manager | ₽× | ₹ |
|--|-----------------|---------------|-------------|---------------|-------------------|----|---------|
| top_delayinstance.rpt top_layout_ioff.xml | A | Speed Grade | -1 | | | | |
| □- Verify Timing ↓ Verify Timing ↓ Verify Timing | ulti_corner.xml | Coverage | Summary | , | | | |
| 🛛 🖌 top_min_timing_mu | ulti_corner.xml | Type of check | Constrained | UnConstrained | Total | | |
| V top_max_timing_vio | olations_multi | Setup | 30 | 0 | 30 | | |
| V top_min_timing_vic | lations_multi_c | Recovery | 30 | 0 | 30 | | |
| ? top_max_timing_slo | ow_lv_lt.xml | Output Setup | 4 | 0 | 4 | | |
| top_min_timing_sid | W_IV_IT.XMI | Total Setup | 64 | 0 | 64 | | |
| top_max_uming_vic | lations_slow_lu | Hold | 30 | 0 | 30 | | |
| top_mm_timing_vic | st hv lt vml | Removal | 30 | 0 | 30 | | |
| top min timing fas | t hv lt.xml | Output Hold | 4 | 0 | 4 | | |
| ? top max timing vio | plations fast h | Total Hold | - 64 | 0 | | | |
| top_min_timing_vic | lations_fast_hv | Total Hold | 04 | 0 | 04 | | |
| top_max_timing_slo | ow_lv_ht.xml | | | | | | |
| top_min_timing_slo | w_lv_ht.xml | Clock domai | n: | | | | |
| top_max_timing_vio | olations_slow_l | clk50MHz | | | | | |
| top_min_timing_vic | lations_slow_lv | CIRSOIVITZ | | | | | |
| top_timing_constraints | _coverage.xml | Type of check | Constrained | UnConstrained | Total | | |
| top_timing_combination | onal_loops.xml | Setup | 30 | 0 | 30 | | |
| timing_analysis_jitter_r | eport.txt | Recovery | 30 | 0 | 30 | | • |



9-2. Verify Power

消費電力解析操作を確認します。

Design Flow 内で Verify Power をダブルクリックします。

| Design Flow | | | ₽ × |
|--|----------------|------------|-------|
| Top Module(root): top | ſ | • O 6 | 🗿 🌮 🏾 |
| Active Synthesis Implementation: synthesis | | | |
| Тооі | | | |
| 🖓 Open Netlist Viewer | | | |
| V Synthesize | | | |
| Verify Post-Synthesized Desig | n | | |
| • Generate Simulation File | | | |
| Simulate | | | |
| • Configure Register Lock Bits | | | |
| ✓ Place and Route | | | |
| Edit Post Lavout Design | | | |
| Verify Post Layout Implement | ation | | |
| • Generate Back Annotated F | iles | | |
| Simulate | | | |
| Verify Timing | | | |
| Open SmartTime | | | |
| Verify Power | | | |
| 100 Open SSN Analyzer | | | |
| Configure Hardware | | | |
| Programming Connectivity and | Interface | | |
| Configure Programmer | interrace | | |
| Select Drogrammer | | | • |
| | mrahu Oatala - | Opmmanasta | |
| Design Flow Design Filerarchy Stimulus Hie | Tarony Catalog | components | |

完了すると Verify Power 左側に緑のチェックマークが表示されます。



レポートが表示されます。

| | Data Source: | Produc | tion | |
|--|-----------------------------|------------|-------------|--------------|
| Verify Timing | | | | |
| top_max_timing_multi_corner.xml | | | | |
| top_min_timing_multi_corner.xml | Bauran Cu | | | |
| V top_max_timing_violations_multi_corner | Fower Su | mmary | | |
| ✓ top_min_timing_violations_multi_corner | | Power (mW | Percenta | qe |
| ? top_max_timing_slow_lv_lt.xml | Total Power | 95.923 | 100.0% | |
| top_min_timing_slow_lv_lt.xmi | Static Power | 95.210 | 99.3% | |
| - ? top min timing violations slow ly lt.xml | Dynamic Powe | er 0.713 | 0.7% | |
| ? top max timing fast hy It.xml | - | | | |
| <pre> top_min_timing_fast_hv_lt.xml </pre> | | | | |
| top_max_timing_violations_fast_hv_lt.xml | Breakdov | /n by Rail | | |
| ? top_min_timing_violations_fast_hv_lt.xml | | | | |
| top_max_timing_slow_lv_ht.xml | | Power (mW) | Voltage (V) | Current (mA) |
| 2 top min timing slow ly ht yml | Rail VDD | 82.533 | 1.000 | 82.533 |
| ; top_mm_mmg_slow_rv_m.xmm | Rail VDD18 | 0.524 | 1.800 | 0.291 |
| - ? top_max_timing_violations_slow_lv_ht.xml | | 0.366 | 1 800 | 0 204 |
| ? top_max_timing_violations_slow_lv_ht.xml ? top_min_timing_violations_slow_lv_ht.xml | Rail VDDI 1.8 | | 0.500 | 5 000 |
| ? top_max_timing_violations_slow_lv_ht.xml ? top_max_timing_violations_slow_lv_ht.xml top_min_timing_violations_slow_lv_ht.xml top_timing_constraints_coverage.xml | Rail VDDI 1.8 | 12 500 | 2.500 | |
| top_max_timing_violations_slow_lv_ht.xml top_min_timing_violations_slow_lv_ht.xml top_timing_constraints_coverage.xml top_timing_analysic littler enout the | Rail VDDI 1.8 Rail VDD25 | 12.500 | 2.500 | 0.000 |



演習10 書き込み

10-1. 開発キットを用意し、ケーブルを接続、PCと繋ぎます。



10-2. (必要に応じて)既に PolarFire へ書き込まれているデザインを Erase します。 (1) Run PROGRAM Action を右クリックし、Select Action をクリックします。





(2) Action のプルダウンで ERACE を選択し OK を押します。

| Select Action X |
|---|
| Action: |
| PROGRAM |
| DEVICE_INFO ENC DATA AUTHENTICATION |
| ERASE |
| PROGRAM READ_DEVICE_CERTIFICATE READ_IDCODE |
| VERIFY_DIGEST |
| Available actions and procedures depend on the selected bitstream components in the Generate Bitstream tool. To configure actions and procedures for the Libero design device, double-click the Configure Actions and Procedures tool. |
| Help OK Cancel |

(3) Run ERACE Action をダブルクリックし、Erase を実行します。





(1) (10-2.にて Erase を実施した場合)

Design Flow 内の Run ERACE Action を右クリックし、

Action を PROGRAM へ切り替えます。

| Design Flow d | 7 × | | | | |
|---|-----|--|--|--|--|
| Top Module(root): top 🖸 🖸 🕼 | Ø. | | | | |
| Active Synthesis Implementation: synthesis | | | | | |
| Tool | | | | | |
| Program Design | | | | | |
| • Generate FPGA Array Data | | | | | |
| -• Configure Design Initialization Data and Memories | | | | | |
| • Generate Design Initialization Data | | | | | |
| Configure I/O States During JTAG Programming | | | | | |
| Configure Programming Options | | | | | |
| Configure Security | | | | | |
| Generate Bitstream | | | | | |
| Configure Actions and Procedures | | | | | |
| Bun FRASE Action | | | | | |
| Run | • | | | | |
| Generate SPI Fla | | | | | |
| | | | | | |
| | | | | | |
| Select Action | | | | | |
| | | | | | |
| Jentify Debug Design | | | | | |
| Identity Debug Design | | | | | |
| Configure Security Locks for Production | - | | | | |
| Design Flow Design Hierarchy Stimulus Hierarchy Catalog Components Fi | es | | | | |

 \times

Select Action

| Action: | | | | |
|---|--------|----------|--|--|
| ERASE | | <u> </u> | | |
| DEVICE_INFO ENC_DATA_AUTHENTI ERASE | CATION | | | |
| PROGRAM | | | | |
| READ_DEVICE_CERTIFI READ_IDCODE VERIFY VERIFY_DIGEST | CATE | | | |
| Available actions and procedures depend on the selected bitstream components in the Generate Bitstream tool. To configure actions and procedures for the Libero design device, double-click the Configure Actions and Procedures tool. | | | | |
| Help | ОК | Cancel | | |



(2) Libero の Design Flow 内で Run PROGRAM Action をダブルクリックします。
 書き込みファイル生成〜書き込みが完了まで待ちます。



Libero



Running PROGRAM Action. Please do not interrupt.



10-4. LED1, LED2, LED3, LED4 がカウントアップしていくことを確認します。



SW1 ボタンを押し、カウントアップがリセットされることを確認します。





以上



変更履歴

| リビジョン | 日付 | 概要 |
|-------|---------|-----------------------------------|
| V1 | 2025年1月 | DiscoveryKit 版新規作成 |
| | | Set as Root 未設定時について注意追記 |
| | | IO バンク電圧設定の演習を追加 |
| V2 | 2025年3月 | ModelSim シミュレーション STOP についてスクリーンシ |
| | | ョット差し替え |
| | | |

免責およびご利用上の注意 1. 弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用くださ 6,0 2. 本資料は予告なく変更することがあります。 3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、 本資料を入手されました下記代理店までご一報いただければ幸いです。 株式会社マクニカ ホームページ https://www.macnica.co.jp/ 4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますので あらかじめご了承ください。 5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカ発行の英語版の資料も あわせてご利用ください。

